

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

End of Result Set

Feb

☐ [Generate Collection](#) [Print](#)

L1: Entry 3 of 3

File: DWPI

Aug 21, 1998

DERWENT-ACC-NO: 1998-512642

DERWENT-WEEK: 199844

COPYRIGHT 2005 DERWENT INFORMATION LTD

Kumihashi et al

TITLE: Capacitor formation method for semiconductor memory e.g. dynamic random access memory - involves using taper shaped oxidation resistant film as mask, by using which upper electrode is etched

PRIORITY-DATA: 1997JP-0023473 (February 6, 1997)

[Search Selected](#)

[Search ALL](#)

[Clear](#)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> JP 10223855 A	August 21, 1998		011	H01L027/108

INT-CL (IPC): [H01 B 3/12](#); [H01 L 21/3065](#); [H01 L 21/822](#); [H01 L 21/8242](#); [H01 L 27/04](#); [H01 L 27/10](#); [H01 L 27/108](#)

ABSTRACTED-PUB-NO: JP 10223855A

BASIC-ABSTRACT:

The method involves sandwiching an insulating film (20) between upper and lower electrodes. The upper electrode is etched using a tapered mask that comprises oxidation resistant material.

The boundary surface damage of the upper electrode is recovered by heat-treating. Then, insulating film and lower electrode are dry etched.

USE - Polarisation inversion type non-volatile memory.

ADVANTAGE - Does not degrade dielectric constant of insulating material.

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

End of Result Set

☐ [Generate Collection](#) [Print](#)

L2: Entry 1 of 1

File: JPAB

Aug 21, 1998

PUB-NO: JP410223855A

DOCUMENT-IDENTIFIER: JP 10223855 A

TITLE: SEMICONDUCTOR MEMORY AND MANUFACTURING METHOD THEREOF

PUBN-DATE: August 21, 1998

INVENTOR-INFORMATION:

NAME

COUNTRY

KUMIHASHI, KOSEI

GOTO, YASUSHI

MIKI, HIROSHI

INT-CL (IPC): H01 L 27/108; H01 L 21/8242; H01 B 3/12; H01 L 21/3065; H01 L 27/04;
H01 L 21/822; H01 L 27/10

ABSTRACT:

PROBLEM TO BE SOLVED: To form good electric contacts to fine capacitors without deteriorating the electric characteristics of the capacitors, by forming an oxidation resistance film on upper electrodes and tapering its portions brought into contact with the upper electrodes.

SOLUTION: After forming polysilicon plugs 14, a TiN film 15 is formed with a Pt film 16 formed thereon for lower electrodes of capacitors. A Pb(Zr, Ti)O₃ 17 is deposited, Pt 18 is formed as upper electrodes, SiO₂ 19 is formed as a capacitor etching mask, a resist mask 22 for forming the SiO₂ 19 is formed, the SiO₂ 19 is etched, and the resist mask is removed to form a tapered SiO₂ 19. This forms a semiconductor memory showing good electric characteristics, without damage to the interface between the upper electrode high ferroelectric insulation film.

COPYRIGHT: (C)1998, JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223855

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 Z
21/8242		H 0 1 B 3/12	3 0 1
H 0 1 B 3/12	3 0 1	H 0 1 L 27/10	4 5 1
H 0 1 L 21/3065		21/302	J
27/04		27/04	C

審査請求 未請求 請求項の数14 OL (全 11 頁) 最終頁に続く

(21) 出願番号 特願平9-23473

(22) 出願日 平成9年(1997) 2月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 組橋 孝生

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 後藤 康

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 三木 浩史

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

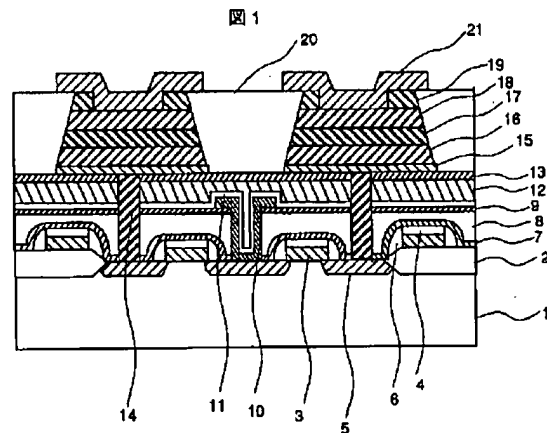
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体メモリ装置及び半導体メモリ装置の製造方法

(57) 【要約】

【課題】 $Pb(Zr, Ti)O_3$ のような高・強誘電体絶縁膜を用いて半導体メモリを形成する際に、キャパシタの上部電極／絶縁膜界面のダメージによる電気特性の劣化を抑える。

【解決手段】 一つのテーパマスクで上部電極と絶縁膜と下部電極をドライエッチングで加工してキャパシタを形成するときに、テーパマスクに耐酸化性の材料を用い、上部電極エッチング後に、界面ダメージを回復するための熱処理を行い、さらに、絶縁膜と下部電極をドライエッチングする。



- | | |
|----------------------------|-----------------------|
| 1... Si 基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...拡散層 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |

【特許請求の範囲】

【請求項1】下部電極と絶縁膜と上部電極とで構成されるキャパシタを有する半導体メモリ装置において、上記上部電極上に耐酸化性膜を有し、上記耐酸化性膜では上記上部電極に接している部分にテーパ形状を有することを特徴とする半導体メモリ装置。

【請求項2】請求項1において、上記耐酸化性膜は酸化膜である半導体メモリ装置。

【請求項3】請求項1において、上記耐酸化性膜は窒化膜である半導体メモリ装置。

【請求項4】請求項2において、上記酸化膜は絶縁膜である半導体メモリ装置。

【請求項5】請求項2において、上記酸化膜は導電性膜である半導体メモリ装置。

【請求項6】請求項1、請求項2、請求項3、請求項4または請求項5において、上記絶縁膜が強誘電体材料である半導体メモリ装置。

【請求項7】請求項1、請求項2、請求項3、請求項4または請求項5において、上記絶縁膜の誘電率が100以上である半導体メモリ装置。

【請求項8】請求項1、請求項2、請求項3、請求項4または請求項5において、上記絶縁膜の誘電率が20以上100未満である半導体メモリ装置。

【請求項9】下部電極と絶縁膜と上部電極とからなるキャパシタを有する半導体メモリ装置の製造方法であって、上記下部電極となる第1導電層を形成し、上記第1導電層上に上記絶縁膜となる第1絶縁層を形成し、上記第1絶縁層上に上記上部電極となる第2導電層を形成し、上記第2導電層上に耐酸化性膜によるテーパ形状のマスクを形成し、上記マスクを用いてドライエッチングにより上記第2導電層をドライエッチングし、上記ドライエッチング後に O_2 雰囲気下で熱処理をし、上記熱処理後に上記第1絶縁層と上記第1導電層をドライエッチングしてキャパシタを形成することを特徴とする半導体メモリ装置の製造方法。

【請求項10】請求項9において、上記耐酸化性膜として、絶縁物である酸化物もしくは窒化物、もしくは導電性である酸化物を用いる半導体メモリ装置の製造方法。

【請求項11】請求項10において、上記耐酸化性膜の形成に SiO_2 、 Si_3N_4 、 RuO_2 、 IrO_2 の内の少なくとも1種を用いる半導体メモリ装置の製造方法。

【請求項12】請求項9、請求項10または請求項11において、上記絶縁膜形成に強誘電体材料を用いる半導体メモリ装置の製造方法。

【請求項13】請求項9、請求項10または請求項11において、上記絶縁膜形成に誘電率が100以上の材料を用いる半導体メモリ装置の製造方法。

【請求項14】請求項9、請求項10または請求項11において、上記絶縁膜形成に誘電率が20以上100未満の材料を用いる半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に大規模集積メモリに好適なダイナミックランダムアクセスメモリまたは分極反転型不揮発性メモリに関する。

【0002】

【従来の技術】半導体メモリのキャパシタ絶縁膜として、 $(Ba, Sr)TiO_3$ のような高誘電体絶縁膜や $Pb(Zr, Ti)O_3$ のような強誘電体絶縁膜を用いるものが、特開平5-299601号公報や1995年 IEDM プロシーディング p.115などで報告されている。高誘電体 $(Ba, Sr)TiO_3$ をキャパシタ絶縁膜に使うと、その高い誘電率によりキャパシタを微細にできるため、ダイナミックランダムアクセスメモリの高集積化が容易になる。強誘電体 $Pb(Zr, Ti)O_3$ をキャパシタ絶縁膜に使用すれば、その高い誘電率によりダイナミックランダムアクセスメモリの高集積化が容易である他に、自発分極を利用した不揮発性メモリも作成できる。

【0003】高・強誘電体絶縁膜をキャパシタ絶縁膜に用いる場合には、キャパシタ電極の材料選択が重要になる。その理由は、キャパシタ電極が電極/絶縁膜界面で酸化されると、低誘電率絶縁膜が界面に形成されてしまうために、高・強誘電体絶縁膜の特性を利用できなくなるからである。キャパシタ電極の材料として、(1) 酸化されにくい導電体を使う、(2) 酸化物も導電体の材料を使う、という2種類の方法が提案されている。

【0004】酸化されにくい導電体をキャパシタ電極に利用する方法としては、Ptを用いる方法が特開平5-299601号公報で報告されている。酸化物も導電体の材料を利用する方法は、IrやRu、もしくは IrO_2 や RuO_2 を用いる方法が、1995年 IEDM プロシーディング p.119 や、インテグレートッド フェロエレクトリクス(Integrated Ferroelectrics) 1995年 p.179などで報告されている。この中では、Ir/ IrO_2 やPt/ IrO_2 等の積層膜を電極に用いることにより、 $Pb(Zr, Ti)O_3$ からのPbの拡散が抑えられることが報告されている。

【0005】高・強誘電体絶縁膜を用いた従来のキャパシタ形成法は、(1) 下部電極となる導電膜を堆積する、(2) 高・強誘電体絶縁膜を堆積する、(3) 上部電極となる導電膜を堆積する、と3回の堆積工程を要する。導電膜の堆積法は通常スパッタ法やCVD法が用いられる。高・強誘電体絶縁膜の堆積法は、スパッタ法、CVD法、ゾル・ゲル(sol-gel)法、蒸着法などの方法が用いられる。高・強誘電体絶縁膜の絶縁性や誘電率・強誘電性は、絶縁膜の結晶性に依存する。そのためにこれらの絶縁膜の形成法では、堆積時に高い温度で形成したり、堆積後に結晶化熱処理を行っている。

【0006】このように堆積した導電膜と高・強誘電体絶縁膜を、従来のキャパシタ形成法では、ドライエッチングを用いて、微細なキャパシタを形成した。堆積とドライエッチングの順番にはいくつかの方法がある。例えば1994年 IEDM プロシーディング p.843では、下部電極となる導電膜と、高・強誘電体絶縁膜とを堆積した後にマスクを形成し、このマスクにより2層の膜をドライエッチングし、この上にキャパシタ側面保護用絶縁膜を堆積してからキャパシタ部に合わせてマスクを形成し、このマスクにより高・強誘電体絶縁物に電氣的接触を取るためのドライエッチングをし、さらにこの上に上部電極となる導電膜を形成する方法が報告されている。

【0007】また例えば特開平5-299601号公報では、下部電極となる導電膜と、高・強誘電体絶縁膜と、上部電極となる導電膜とを堆積した後にマスクを形成し、この一つのマスクにより上部電極となる導電膜と、高・強誘電体絶縁膜と、下部電極となる導電膜との3層をエッチングするという方法が開示されている。この方法は、必要なマスクが一つであることから、工程数が少ないという利点と、マスク合わせのための余分な面積を必要としないので微細キャパシタ作成に有利であるという特徴がある。この方法では、ドライエッチングの反応生成物がキャパシタの側面に付着して、キャパシタのリーク電流が大きくなるという問題がある。また電極材料にPtを使う場合は、Ptのドライエッチング反応生成物がマスク側面やパターン側面に付着して、強固な壁状の突起を形成してしまうという問題がある。この問題に対し、1996年 Symposium on VLSI Technology Digest of Technical Papers p.28では、Wテーパマスクによるキャパシタのテーパドライエッチングにより、Pt側面付着がなく、リーク電流を抑えたキャパシタ形成法が報告されている。

【0008】

【発明が解決しようとする課題】従来の、一つのWテーパマスクを用いて3層をドライエッチングする方法では、加工プロセス中に上部電極/高・強誘電体絶縁膜界面にダメージが入り、誘電率の低下や、強誘電体の自発分極の低下という、キャパシタの電気特性が劣化するという問題があった。この界面ダメージによる劣化が著しい場合は、メモリ動作が困難になるものも現れ、歩留まりが低下してしまう。

【0009】この界面ダメージの原因は、高・強誘電体絶縁膜堆積時の微量な組成ばらつき、結晶化熱処理プロセスでの微量な温度ばらつき、上部電極となる導電膜堆積時の、高・強誘電体絶縁膜の表面付着物のばらつきや、ドライエッチング時のチャージアップばらつきなどの、各加工プロセスにおけるばらつきの相乗的な作用によって引き起こされると考えられ、各加工プロセスでの対応が困難であった。

【0010】上部電極/高・強誘電体絶縁膜の界面ダメージを回復させるために、種々検討した。その結果、上部電極となる導電膜をドライエッチングした後に、マスク除去した後に、O₂ 雰囲気下で熱処理をすると、界面ダメージが回復して、良好な電気特性を得られることが明らかになった。

【0011】しかし、Wマスクを残したままO₂ 雰囲気下で熱処理をすると、Wマスクが酸化され変形してしまい、絶縁膜と、下部電極となる導電膜のエッチングができなくなってしまった。

【0012】また、あらかじめWテーパマスクで、上部電極となる導電膜・絶縁膜・下部電極となる導電膜のエッチングを行いキャパシタを形成してからO₂ 雰囲気下で熱処理すると、下部電極の下にあるバリア層が酸化され、電氣的導通が得られなくなってしまった。

【0013】

【課題を解決するための手段】本発明の目的は、一つのマスクで、上部電極となる導電層と、高・強誘電体絶縁膜と、下部電極となる導電層とをドライエッチングすることにより、少ない工程で微細なキャパシタを形成し、かつ上部電極/絶縁膜の界面ダメージを回復するためのO₂ 雰囲気下での熱処理を、上部電極となる導電層のエッチング後に行えるようにすることである。

【0014】そのための手段は、次の半導体メモリ装置の製造方法である。

【0015】(1) 下部電極と絶縁膜と上部電極とからなるキャパシタを有する半導体メモリ装置の製造方法であって、上記下部電極となる第1導電層を形成し、上記第1導電層上に上記絶縁膜となる第1絶縁層を形成し、上記第1絶縁層上に上記上部電極となる第2導電層を形成し、上記第2導電層上に耐酸化性膜によるテーパ形状のマスクを形成し、上記マスクを用いてドライエッチングにより上記第2導電層をドライエッチングし、上記ドライエッチング後にO₂ 雰囲気下の熱処理をし、上記熱処理後に上記第1絶縁層と上記第1導電層をドライエッチングしてキャパシタを形成し、上記キャパシタ上に第2絶縁層を形成し、上記第2絶縁層をドライエッチングして上記キャパシタへの電氣的接続部を形成する半導体メモリ装置の製造方法。

【0016】従来の方法が、ドライエッチングのテーパマスクとしてWのような、耐酸化性のない物質を使っていたのに対し、本発明では、耐酸化性のテーパマスクを使うことにより、前述の課題を解決することができる。

【0017】また、課題を解決するための手段は、次の半導体メモリ装置を作成することである。

【0018】(2) 下部電極と絶縁膜と上部電極とで構成されるキャパシタを有する半導体メモリ装置であって、上記上部電極上に耐酸化性膜を有し、上記耐酸化性膜においては上記上部電極に接している部分にテーパ形状を有する半導体メモリ装置。

【0019】このようにテーパマスクとして使用した耐酸化性膜を上部電極上に残すことにより、キャパシタの電気特性を劣化させることなく、キャパシタ上の配線から微細キャパシタへの良好な電氣的コンタクトを形成することができる。

【0020】

【発明の実施の形態】

(実施例1) 本発明の一実施例を、図1に基づいて説明する。図1は、1トランジスタ1キャパシタ型の不揮発性強誘電体メモリの、キャパシタおよびプレート電極まで作成した段階の断面図である。キャパシタ絶縁膜としては強誘電体 $Pb(Zr, Ti)O_3$ (以下PZTと略記)を用い、キャパシタ電極としてPtを用いて形成するものである。図面中の符号を用いて、この不揮発性強誘電体メモリを説明する。

【0021】Si基板1上に素子分離用 SiO_2 2を形成してある。素子領域に、ゲート酸化膜(明示していない)とワード線(ゲート電極)3と拡散層5からなるMOSトランジスタを形成してある。このトランジスタが、メモリ内1ビットの動作を制御する。この実施例では、ワード線3は SiO_2 4をマスクとしてドライエッチングにより加工してあり、かつ SiO_2 4をそのまま残してワード線の絶縁保護膜として用いている。この SiO_2 4は残す必要はないが、本実施例の構造とすれば除去工程を削除できるし、ゲート電極スペース6の形成時の保護膜としても作用する。ワード線としては通常のゲート電極としてよく用いられるdopedpolySiや、W、Si、MoSi、CoSiのようなシリサイドを用いればよい。またはW、TiNなどの金属材料、またはそれらの積層膜でもよい。

【0022】ワード線(ゲート電極)3には、ゲート電極スペース6を形成してある。このゲート電極スペースは必須ではないが、段差を緩和する効果と電氣的ショートを防ぐ効果があるので、信頼性の高いキャパシタオーバービットライン(COB)構造を形成できる。

【0023】ワード線(ゲート電極)3の上にはワード線用絶縁保護膜7を形成してある。この保護膜は必ずしも必要ではないが、ビット線用プラグ10やpolySiプラグ14を形成するためのドライエッチングをするときに電氣的ショートを防ぐ効果があり、またこのワード線用絶縁保護膜7とワード線段差平坦化絶縁膜8とで材料を変える(例えば Si_3N_4 と SiO_2)ようにしておけば、絶縁膜間高選択ドライエッチングを用いて自己整合的に、前述のプラグ部のドライエッチングをすることもできるという効果がある。

【0024】ワード線(ゲート電極)3の形成によりできる段差は、ワード線段差平坦化絶縁膜8により平坦化してある。この絶縁膜の材料としては、流動性の絶縁膜(BPSGなど)やCVD絶縁膜を用いればよい。平坦化方法としては、流動性絶縁膜のリフローや、ドライエッチ

ングによる全面エッチバック、化学機械研磨(CMP)などの研磨、またはそれらの組み合わせを用いればよい。本実施例では、BPSGリフロー膜をCMPで研磨してワード線段差平坦化絶縁膜8を形成している。この膜はドライエッチングにより削れ易いため、本実施例では平坦化絶縁膜用絶縁保護膜9を形成している。この膜をCVDやスパッタ堆積法で形成すれば、リフロー膜よりも緻密な膜を形成できる。膜の材料としては、 SiO_2 や Si_3N_4 などの通常のSiLSIプロセスで用いられるものでよい。

【0025】平坦化絶縁膜用絶縁保護膜9の形成の後に、ビット線用プラグ10を形成してある。本実施例では、このビット線用プラグ10を、ドライエッチングで孔パターンを形成した後に、n+polySiをCVD法を用いることにより形成してある。このビット線用プラグ10としてはn+polySiの他に、TiNなどの材料を用いてもよい。またこのビット線用プラグ10の形成にともなう、ビット線(この断面図では現れていない)も形成する。この材質としてはn+polySi、シリサイドなどの材料や、それらの積層膜などを用いればよい。

【0026】本実施例では、ビット線用プラグ10とビット線の形成後に、ビット線用絶縁保護膜11を形成してある。この膜は必須ではないが、ワード線用絶縁保護膜7と同様の効果がある。さらにその上にビット線段差平坦化絶縁膜12を形成してある。この膜の形成法および材料としては、ワード線段差平坦化絶縁膜8と同様に考えればよい。さらにこの膜の上に、平坦化絶縁膜用絶縁保護膜13を、本実施例では形成してある。この保護膜は必須ではないが、前述した平坦化絶縁膜用絶縁保護膜9と同様な効果がある。

【0027】平坦化絶縁膜用絶縁保護膜13の形成の後に、polySiプラグ14を形成する。この形成は、ドライエッチングによる孔パターンの形成の後に、この孔パターンのなかに導電性の材料を埋め込む。材料としては、従来のSiLSIプロセスで用いられるn+polySiを用いてもよいし、TiNやWやTa、Tiのような材料をCVDで埋め込んでもよい。また強誘電性絶縁膜と相性のよいPt、Ru、Ir、Pd、Rh、Os、Hf、Zrやそれらの酸化物であり導電性のもの(例えば RuO_2 、 IrO_2)などを用いてもよい。さらにはそれらの積層膜を用いてもよい。 RuO_2 や IrO_2 などはMOCVD法のようなCVDプロセスを用いて形成すれば、孔パターン内の断線がなく形成することができ、その上にRuやIrなどを積層させると、RuやIrなどの材料は酸素に対するバリア層の役割をするため、この後の工程での対酸化性を向上することができる。

【0028】polySiプラグ14を形成の後に、バリアメタルとなるTiN15、キャパシタ下部電極となるPt16、キャパシタ絶縁膜となるPZT17、上部電極

10

20

30

40

50

となるPt18、テーパ形状のSiO₂19、キャパシタ保護絶縁膜20、プレート電極21を形成する。この形成方法の詳細は、図2以下を用いて後述する。Pt18、PZT17、Pt16からなるキャパシタが、メモリ内1ビットの情報を保持する。キャパシタに蓄えられる電荷を情報保持に用いると、ダイナミックランダムアクセスメモリ(DRAM)として動作し、強誘電体PZTの分転反極を情報保持に用いると、強誘電体不揮発性メモリとして動作する。

【0029】キャパシタ下部電極としてはPt以外にRu、Ir、Pd、Rh、Os、Hfや、それらの酸化物であり導電性のあるものを用いてもよい。またPZT以外の強誘電性絶縁物(Biを含む絶縁膜、LaやYを含む絶縁膜、BaやSrを含む絶縁膜、Cuを含む絶縁膜)を用いてもよい。また(Ba、Sr)TiO₃のような誘電率100以上の絶縁膜やTa₂O₅のような誘電率20以上の高誘電絶縁膜を用いてもよい。またSiO₂やSi₃N₄のような絶縁物を用いてもよい。いずれの場合も、上部電極/絶縁膜界面のダメージによる電気特性の劣化を回復することにより、良好な電気特性を得ることができる。キャパシタ上部電極としては、Pt、Au、RuO₂、IrO₂等の耐酸化性のある導電体を用いるとよい。

【0030】キャパシタ部形成の後に、本実施例ではキャパシタ用絶縁保護膜20を形成してある。本実施例ではこの膜はリフロー膜とCMPの組み合わせにより平坦化してある。完全な平坦化は必須ではないが、この後の配線の信頼性を高めるためには、極力平坦化しておくことが望ましい。平坦化の方法や材料はビット線段差平坦化絶縁膜の形成や、ワード線段差平坦化絶縁膜の形成と同様にすればよい。さらに、キャパシタ部の材料と相性のよいTiやZrやPbなどの酸化膜をキャパシタ部の保護絶縁膜としてCVD法を用いて形成してから、リフロー絶縁膜を形成して積層膜にしてもよい。また強誘電性絶縁膜は還元性の雰囲気やH原子が発生する雰囲気では特性劣化しやすいので、オゾン-TEOSによるCVD SiO₂膜や、PIQなどの有機系絶縁物を用いるのもよい。

【0031】キャパシタ用絶縁保護膜20形成の後に、本実施例ではプレート電極21を形成してある。この材料としては、n+poly SiやWのような従来SiLSIプロセスで用いられている材料を用いればよい。下地を十分に平坦化していれば、この電極材料としてスパッタ法で堆積した導電性材料を用いればよいし、段差のある構造の場合には、CVD法などを用いて導電性材料を堆積すればよい。本実施例ではワード線32本につきプレート電極21を1本形成してあるが、DRAM動作の場合はさらに少なくともよく、その本数は、用途に応じて設計すればよい。

【0032】図1には、メモリセル部の断面図の、プレ

ート電極形成までの断面図を示した。実際のメモリは、さらに2層程度の配線層を形成して、メモリ動作を制御して外部と信号をやり取りするための周辺回路を形成して、メモリセル部と周辺回路とをつなぐ必要があること、さらにパッケージングをすることが必要であることはいうまでもないが、公知の技術であり本発明とは直接関係ないので省略する。

【0033】図1に示した段階までの形成方法のうち、poly Siプラグ14形成以降の形成方法を、図2～図9で説明する。図2に示すように、poly Siプラグ14形成後は、TiN15の膜を、スパッタ法を用いて50nm形成する。この膜は、キャパシタの下部電極のPt16とpoly Siプラグ14との間で原子が拡散することを防ぐ性質と導電性とを有する(バリア性)のであれば、他の材料でも使うことができるし、バリア性を有する範囲で膜厚を変えてもよい。

【0034】このTiN15上に、Pt16の膜をスパッタ法により200nm形成する。この膜は、キャパシタの下部電極となる。電極材料としては、Ptのように酸化されにくい材料もしくはIrやRu、Pdのように酸化物も導電性を示す材料、もしくはIrO₂やRuO₂などの導電性酸化物が、電極/絶縁物界面で電極の酸化による低誘電率層ができないので、高・強誘電体キャパシタを形成するのに望ましい材料である。本実施例でPt16の膜厚を200nmとするのは、PZT17の形成に必要な結晶化熱処理時にPt16中を酸素が拡散してTiN15を酸化するという問題を避けるためである。TiN15の酸化を抑えることができるのなら、Pt16の膜厚を変更してよい。

【0035】次に、PZT17をスパッタ法により150nm堆積する。この膜厚は、必要な電気特性に応じて設計すべきものである。膜厚を薄くすることは、キャパシタの容量が大きくなるという長所や、より低い印加電圧で強誘電特性を示すという長所がある反面、キャパシタのリーク電流が大きくなるという欠点がある。スパッタ法で堆積しただけでは、PZT17の結晶性が悪いために十分な強誘電特性を示さない。そこで次に、結晶化熱処理を行う。処理条件はO₂1atm、700℃、1minのラピッドサーマルアニール法を用いる。ラピッドサーマルアニール法を用いると、必要最小限の時間で結晶化熱処理ができるので、TiN15の酸化の問題を抑えることができる。ただし、通常の炉による加熱でも、Pt16の膜厚や熱処理条件の最適化により、実用上問題のない結晶化熱処理が可能である。

【0036】絶縁物材料としては、Pb(Zr、Ti)O₃およびこれにLaをドーパしたものの(PLZT)やSrBi₂Ta₂O₉のような強誘電体材料のほかに、(Ba、Sr)TiO₃やSrTiO₃のような誘電率が100以上の絶縁物を用いてもよい。またTa₂O₅のような誘電率が20以上の絶縁物を用いてもよい。さら

に SiO_2 や Si_3N_4 のような絶縁物材料を用いてもよい。

【0037】次に、上部電極となるPt18をスパッタ法などを用いて50nmの厚さで形成する。この膜厚は、20nm程度まで薄くしても問題はない。またPt以外の酸化されにくい金属もしくは酸化物導電体を用いるとよい。このような材料としては、Ptの他にAu、 IrO_2 や RuO_2 等がある。

【0038】次に、キャパシタエッチング用のマスクとなる SiO_2 19を400nm形成する。この形成には、スパッタ法、CVD法、塗布法などの形成法を用いればよい。

【0039】次に、 SiO_2 19を加工するためのレジストマスク22を、リソグラフィ法を用いて、厚さ1μmで形成する。

【0040】次に、 SiO_2 19をエッチングし、レジストマスク22を除去することにより、図3に示すような、テーパー形状の SiO_2 19を形成する。本実施例では、HF水溶液によるウェットエッチングにより、テーパー形状の SiO_2 19を形成する。この形成では、CFH系のガスプラズマによる堆積反応を伴うドライエッチングを用いて加工してもテーパー形状が得られる。また、 SiO_2 の半分を通常の SiO_2 ドライエッチングによる垂直加工をした後に、レジストマスクを除去して、さらにArスパッタなどでエッチバックすることによっても、このようなテーパー形状を得ることができる。

【0041】次に、この SiO_2 19をテーパーマスクとして用いて、Pt18をドライエッチングする。本実施例では、平行平板型のドライエッチング装置を用いて、Arガスを圧力10mTorr、RF500Wの条件でスパッタエッチすると、エッチ速度20nm/minでエッチングできる。 SiO_2 19との選択比は2である。ドライエッチング方法としては、FやClやBrなどを含んだハロゲン系ガスによるドライエッチングでもよい。このエッチング終了時の断面形状は、図4のようになる。ここで、 O_2 1atm、500℃の条件で30minの熱処理を行う。この熱処理により、Pt18/PZT17界面のダメージが修復される。従来のWテーパーマスクを用いる場合と異なり、本発明では、耐酸化性の SiO_2 19をテーパーマスクとして用いるので、この熱処理によりマスクが変質するという問題なく、界面ダメージを修復でき、かつ一つのマスクで上部電極と絶縁膜と下部電極のドライエッチング加工が可能になる。

【0042】次に、PZT17を、 SiO_2 19をテーパーマスクとして用いて、ドライエッチングする。本実施例では、Arと CF_4 ガスを1:1に混合したガスを用いて、平行平板型のエッチング装置でRF500W、圧力10mTorrで、PZTエッチ速度が40nm/minでエッチングする。PZT/ SiO_2 選択比は1である。このエッチングには、Arプラズマなどによるスパッタ

を用いてもよいし、FやClやBrなどを含んだハロゲン系ガスによるドライエッチングでもよい。

【0043】次に、Pt16を、 SiO_2 19をテーパーマスクとして用いて、ドライエッチングする。このドライエッチングは、Pt18のドライエッチングと同様に行えばよい。

【0044】次に、TiN15を、 SiO_2 19をテーパーマスクとして用いて、ドライエッチングする。本実施例では、 SF_6 ガスを用いて、μ波ドライエッチング装置でμ波400W、圧力2mTorr、RFバイアス5Wで、TiNエッチ速度が100nm/minでエッチングする。このエッチングでは、 Cl_2 ガスを用いてもよい。TiN/ SiO_2 選択比は2である。このエッチングまで終わると、断面形状は図5に示すようになる。 SiO_2 19の残膜厚は、本実施例では100nmである。この残膜厚は、エッチング条件による選択比や SiO_2 19の初期膜厚により変わるので、必要に応じて変えることができる。

【0045】次に図6に示すように、キャパシタ用絶縁保護膜20を堆積させる。この堆積膜としてBPSGやSOGなどのリフロー膜を使えば、以下に続く配線工程に必要な平坦な表面がこの時点で形成できる。エッチバック技術やCMP技術等を用いれば平坦な表面が作れるので、スパッタ絶縁膜やCVD絶縁膜などを用いてもよい。材質は、 SiO_2 や Si_3N_4 等を使えばよい。またTiを含む酸化物などを使用してもよい。

【0046】次に、図7に示すように、レジストマスク23をリソグラフィにより形成する。このレジストマスク23を用いて、 SiO_2 19をドライエッチングする。このドライエッチングは、通常の SiO_2 ドライエッチング法を用いればよい。レジストマスク23を除去すると、断面図は図8のようになる。

【0047】次に、図9に示すように、W25を堆積し、レジストマスク24を形成する。本実施例では、W25はスパッタ法により200nmを堆積する。Wの代わりに、他の導電性材料を用いてもよいし、形成法も、CVD法などを用いてもよい。また膜厚も、必要な配線抵抗が得られる範囲で変えてもよい。レジストマスク24を用いてW25をドライエッチングしてレジストマスク24を除去すると、図1に示すような、断面形状となり、本発明の目的である、上部電極/高・強誘電絶縁膜界面のダメージのない、良好な電気特性を示す半導体メモリを形成することができる。

【0048】 SiO_2 19を完全に除去してからプレート電極21を形成する方法も考えられるが、ドライエッチングで除去しようとする場合には、図7のレジストマスク23を SiO_2 19キャパシタ部に完全に合わせなければ、 SiO_2 19のドライエッチング時に下地が削れてしまう等の問題が生じる。完全にマスクを合わせるのは技術的に困難である。また、 SiO_2 19をHF水

溶液などを用いてウェット除去する方法では、PZT17も溶解してしまう。また、SiO₂19の堆積膜厚を、エッチング選択比に応じてTiN15のエッチング終了時に消失する膜厚とすれば、設計上はSiO₂19は完全に除去できるが、実際には膜形成時の膜厚分布やエッチング速度分布があり、このような設計ではTiN15エッチング終了時にPt18が削れてしまったり、SiO₂19が残ってしまったりする部分が出て歩留まりが低下するので、TiN15エッチング終了時にSiO₂19が残るように設計することが余裕を持った加工ができて歩留まりが向上する。よって、本実施例で示すような、Pt18上に、テーパ形状のSiO₂19が残るようなキャパシタの構造が、良好な電気特性を得るために必要な構造である。

【0049】(実施例2)本発明のほかの実施例を、図10を用いて説明する。本実施例では、キャパシタドライエッチング用のテーパマスクとして、耐酸化性があり、かつ導電性のRuO₂26を用いるものである。RuO₂26には耐酸化性があるので、Pt18エッチング後に、界面ダメージの回復熱処理を行うことができ、かつRuO₂26が導電性であるため、その上に直接プレート電極21を形成して電気的接続をすることができる。RuO₂26の代わりに、IrO₂やWNのような、耐酸化性がありかつ導電性のものを用いてもよい。

【0050】(実施例3)本実施例では、本発明の方法を用いて形成するメモリの平面レイアウトについて説明する。

【0051】図11に、本発明におけるメモリの平面レイアウトの一実施例を示す。このレイアウトは、2交点セルと、キャパシタをビット線上に形成するCOB (Capacitor Over Bitline) 構造とを用いるレイアウトである。各メモリのトランジスタ(図中では明記していない)はビット線308を介して周辺回路(図示していない)に接続されている。トランジスタとビット線308の接続部分は、アクティブ領域318の一部に形成したビット線用プラグ307の部分である。トランジスタの動作は、ワード線(ゲート電極)303により制御される。このワード線(ゲート電極)303は、周辺回路(図示していない)に接続されている。トランジスタからキャパシタ部320へは、キャパシタ用プラグ311を介して接続する。キャパシタ部320はプレート電極316を介して、周辺回路(図示していない)に接続されている。図中のA-A'の断面図は、図1のようになる。

【0052】この平面レイアウトの第1の特徴は、ワード線303 2本に対してプレート電極316を1本を配線することである。このようなレイアウトとすることにより、プレート電極316の容量を通常のDRAMよりも小さくできるので、プレート電極316の電位を周辺回路で制御することが容易になる。そのため、強誘電

性を用いた不揮発メモリ動作が容易になる。本実施例では、ワード線2本に対してプレート電極を1本の例について説明したが、プレート電極の本数としては、ワード線1本に対してプレート電極を1本にしてもよいし、3本以上のワード線に対してプレート電極を1本にしてもよい。ただしプレート電極の本数が多くなると集積度を上げるのが難しくなり、プレート電極の本数が少なくなるとプレート電極の容量が大きくなって、周辺回路による制御が難しくなる。プレート電極の本数は、メモリの用途によってその最適数が変わってくる。

【0053】この平面レイアウトの第2の特徴は、プレート電極316をワード線(ゲート電極)303と同一方向に配線することである。このため、プレート電極316の電位を周辺回路により制御するときに、その電位をワード線303の電位と同期して制御することが可能となる。

【0054】(実施例4)図12に、本発明におけるメモリの平面レイアウトの一実施例を示す。このレイアウトは、2交点セルと、キャパシタをビット線上に形成するCOB構造とを用いるレイアウトである。各メモリのトランジスタ(図中では明記していない)はビット線308を介して周辺回路(図示していない)に接続されている。トランジスタとビット線308の接続部分は、アクティブ領域318の一部に形成したビット線用プラグ307の部分である。トランジスタの動作は、ワード線(ゲート電極)303により制御される。このワード線(ゲート電極)303は、周辺回路(図示していない)に接続されている。トランジスタからキャパシタ部320へは、キャパシタ用プラグ311を介して接続する。キャパシタ部320はプレート電極316を介して、周辺回路(図示していない)に接続されている。

【0055】この平面レイアウトの第1の特徴は、ビット線308 1本に対してプレート電極316を1本を配線することである。このようなレイアウトとすることにより、プレート電極316の容量を通常のDRAMよりも小さくできるので、プレート電極316の電位を周辺回路で制御することが容易になる。そのため、強誘電性を用いた不揮発メモリ動作が容易になる。本実施例では、ビット線1本に対してプレート電極を1本の例について説明したが、プレート電極の本数としては、2本以上のビット線に対してプレート電極を1本にしてもよい。ただしプレート電極の本数が少なくなるとプレート電極の容量が大きくなって、周辺回路による制御が難しくなる。プレート電極の本数は、メモリの用途によってその最適数が変わってくる。

【0056】この平面レイアウトの第2の特徴は、プレート電極316をビット線308と同一方向に配線することである。このため、プレート電極316の電位を周辺回路により制御するときに、その電位をビット線308の電位と同期して制御することが可能となる。

【0057】(実施例5) 図13に、本発明におけるメモリセルの平面レイアウトの一実施例を示す。このレイアウトは、2交点セルと、キャパシタをビット線上に形成するCOB構造とを用いるレイアウトである。各メモリセルのトランジスタ(図中では明記していない)はビット線308を介して周辺回路(図示していない)に接続されている。トランジスタとビット線308の接続部分は、アクティブ領域318の一部に形成したビット線用プラグ307の部分である。トランジスタの動作は、ワード線(ゲート電極)303により制御される。このワード線(ゲート電極)303は、周辺回路(図示していない)に接続されている。トランジスタからキャパシタ部320へは、キャパシタ用プラグ311を介して接続する。キャパシタ部320はプレート電極316を介して、周辺回路(図示していない)に接続されている。

【0058】この平面レイアウトの第1の特徴は、DRAM動作を主と考えて一つのプレート電極316でキャパシタを制御することである。このようなレイアウトとすることにより、DRAM動作に必要な基準電位をキャパシタに印加することができる。また周辺回路の駆動能力を十分に大きくすれば、不揮発性動作も可能である。一つのプレート電極316で制御するキャパシタ数は、メモリの用途により調整すればよい。

【0059】

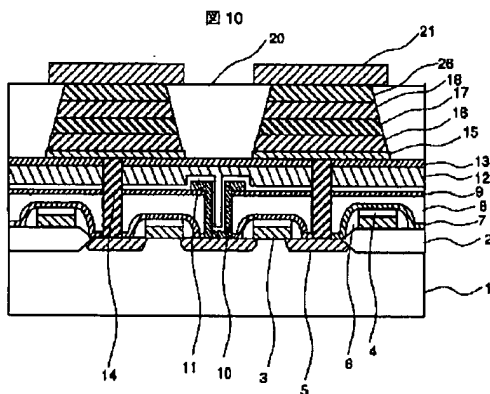
【発明の効果】本発明により、上部電極/絶縁膜界面のダメージを除去することができ、絶縁物の高い誘電率や強誘電特性を劣化させることなくメモリ用のキャパシタを形成することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体メモリの断面図。

【図2】本発明の一実施例である半導体装置プロセスの説明図。

【図10】



28...RuO₂

【図3】本発明の第二実施例である半導体装置プロセスの説明図。

【図4】本発明の第三実施例である半導体装置プロセスの説明図。

【図5】本発明の第四実施例である半導体装置プロセスの説明図。

【図6】本発明の第五実施例である半導体装置プロセスの説明図。

【図7】本発明の第六実施例である半導体装置プロセスの説明図。

【図8】本発明の第七実施例である半導体装置プロセスの説明図。

【図9】本発明の第八実施例である半導体装置プロセスの説明図。

【図10】本発明の第二実施例である半導体メモリの断面図。

【図11】本発明の一実施例であるメモリセル・レイアウトの説明図。

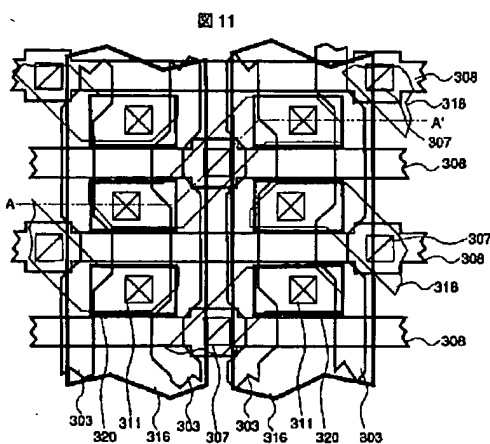
【図12】本発明の第二実施例であるメモリセル・レイアウトの説明図。

【図13】本発明の第三実施例であるメモリセル・レイアウトの説明図。

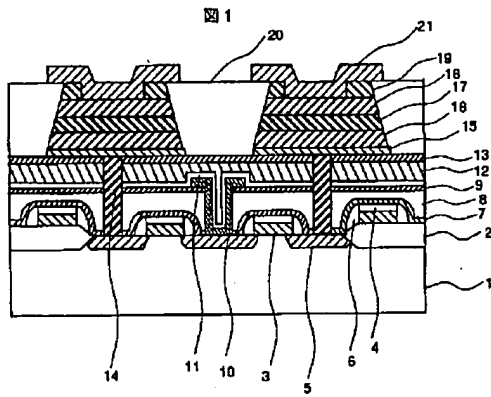
【符号の説明】

1...Si基板、2...素子分離用SiO₂、3...ワード線、4...SiO₂、5...拡散層、6...ゲート電極スペーサ、7...ワード線用絶縁保護膜、8...ワード線段差平坦化絶縁膜、9...平坦化絶縁膜用絶縁保護膜、10...ビット線用プラグ、11...ビット線用絶縁保護膜、12...ビット線段差平坦化絶縁膜、13...平坦化絶縁膜用絶縁保護膜、14...poly Siプラグ、15...TiN、16...Pt、17...PZT、18...Pt、19...SiO₂、20...キャパシタ用絶縁保護膜、21...プレート電極。

【図11】

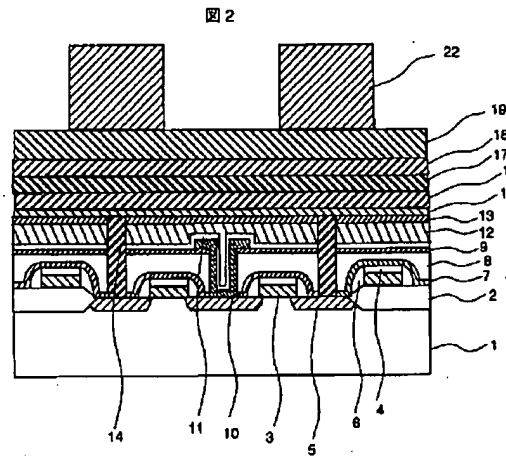


【図1】



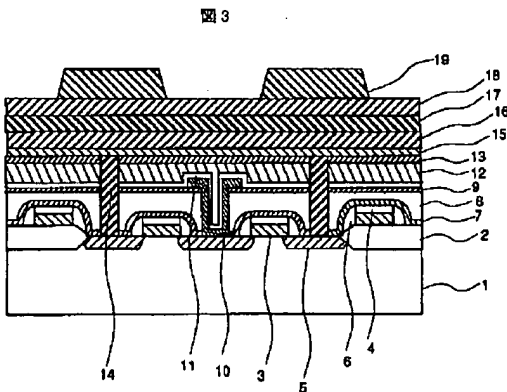
- | | |
|----------------------------|-----------------------|
| 1... Si 基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...窒素膜 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |

【図2】



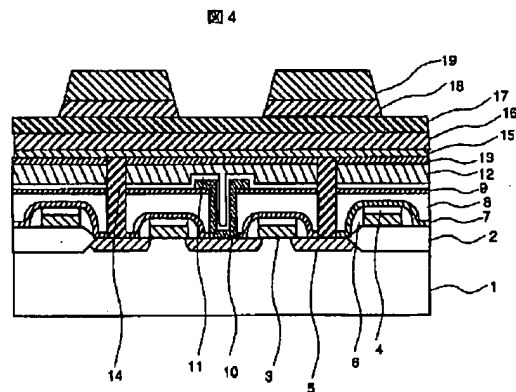
- | | |
|----------------------------|-----------------------|
| 1... Si 基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...窒素膜 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |
| | 22...レジストマスク |

【図3】



- | | |
|----------------------------|-----------------------|
| 1... Si 基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...窒素膜 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |

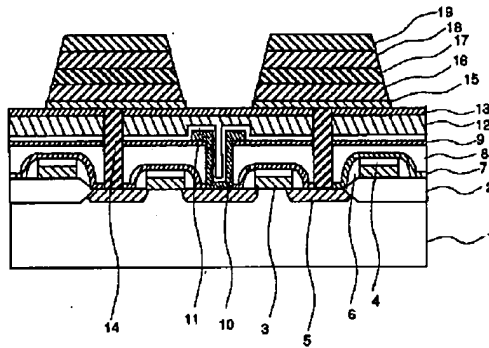
【図4】



- | | |
|----------------------------|-----------------------|
| 1... Si 基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...窒素膜 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |

【図5】

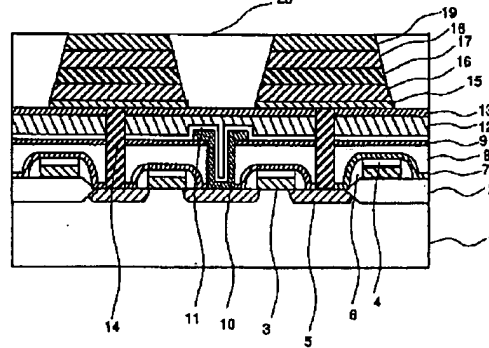
図5



- | | |
|----------------------------|-----------------------|
| 1... Si基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...拡散層 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |

【図6】

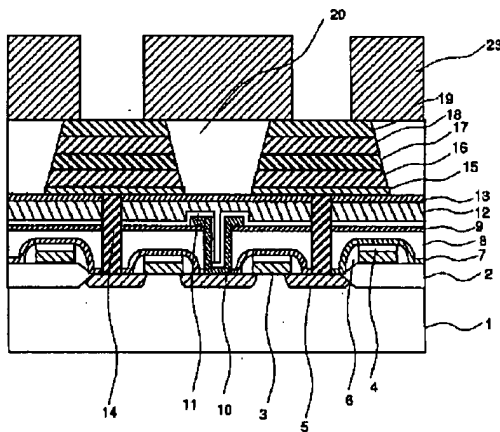
図6



- | | |
|----------------------------|-----------------------|
| 1... Si基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...拡散層 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |

【図7】

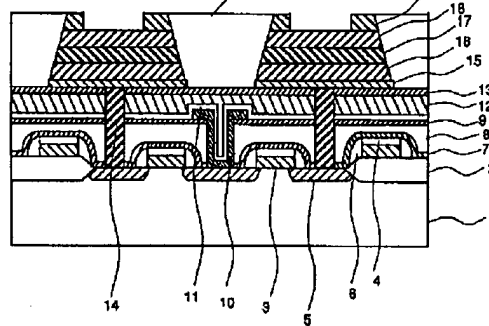
図7



- | | |
|----------------------------|-----------------------|
| 1... Si基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...拡散層 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |
| | 22...レジストマスク |
| | 23...レジストマスク |

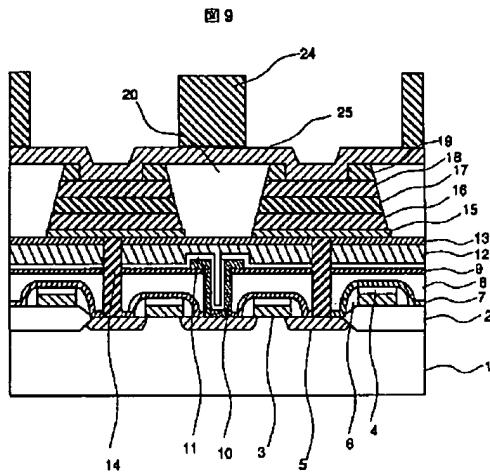
【図8】

図8



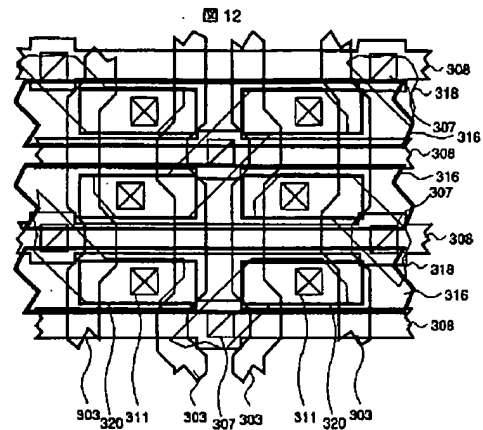
- | | |
|----------------------------|-----------------------|
| 1... Si基板 | 11...ビット線用絶縁保護膜 |
| 2...素子分離用 SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線 (ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Si プラグ |
| 5...拡散層 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...Pt |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |

【図9】

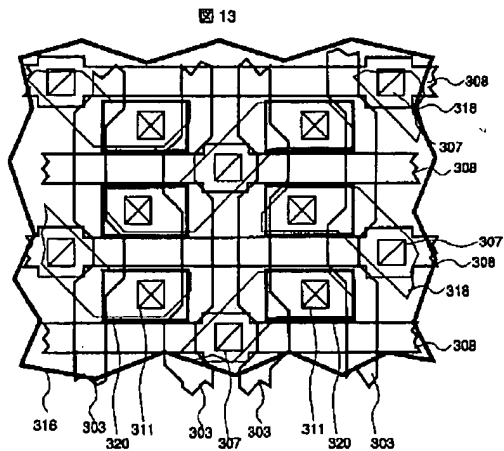


- | | |
|---------------------------|-----------------------|
| 1...Si基板 | 11...ビット線用絶縁保護膜 |
| 2...電子分離用SiO ₂ | 12...ビット線段差平坦化絶縁膜 |
| 3...ワード線(ゲート電極) | 13...平坦化絶縁膜用絶縁保護膜 |
| 4...SiO ₂ | 14...poly Siプラグ |
| 5...拡散層 | 15...TiN |
| 6...ゲート電極スペーサー | 16...Pt |
| 7...ワード線用絶縁保護膜 | 17...PZT |
| 8...ワード線段差平坦化絶縁膜 | 18...SiO ₂ |
| 9...平坦化絶縁膜用絶縁保護膜 | 19...SiO ₂ |
| 10...ビット線用プラグ | 20...キャパシタ用絶縁保護膜 |
| | 21...プレート電極 |
| | 22,23,24...レジストマスク |
| | 25...W |

【図12】



【図13】



フロントページの続き

(51)Int.Cl.⁶
H01L 21/822
27/10

識別記号
451

F I
H01L 27/10

651